CLOCK CHANGEABLE CIRCUIT OF SWITCH

Patent number:

KR9001119

Publication date:

1990-02-27

Inventor:

CHUN WOO-JIN (KR)

Applicant:

SAMSUNG ELECTRONICS CO LTD (KR)

Classification:

- international:

G06F1/08; G06F1/08; (IPC1-7): G06F1/08

- european:

Application number:

KR19870009010 19870818

Priority number(s):

KR19870009010 19870818

Report a data error here

Abstract of KR9001119

The clock changing circuit for selecting the desired clock from two kinds of clock with a switch comprises a clock switching circuit (40) for varying the output level of a flip-flop (F4) with a switch (SW), an enable signal generator (30) for providing edge detection signal when the output signal of (40) is varied, a control signal generator (20) comprising flip-flops (F1-3), AND gates (G1-3), inverters (13, 17), and RC circuit (R6, C4), and a clock generators (10) for providing the desired clock selected from two frequency generators (11,12) by the AND gate (G2) and flip-flop (F3).

Data supplied from the esp@cenet database - Worldwide

90-001119

(19) 대한민국특허청(KR) (12) 특허공보(B1)

(51) Int. Cl.⁵ COGF 1/08 (45) 공고일자

1990년02월27일

(11) 공고번호

90-001119

(21) 출원번호 (22) 출원일자	특1987-0009010 1987년 08월 18일		특 1989-0004223 1989년 04월20일
(71) 출원인	삼성전자 주식회사 민	안시환	
•	경기도 수원시 매탄동 4	118번지	
(72) 발명자	전우진 경기도 수원시 정자 동 7	79-25	
(74) 대리인	김원호, 전채훈	.0 20	
MUTE OHE (ME)	11-3H 11177261		•

公从进: 이범호(神자공보 제1772호)

(54) 스위치 구동형 클릭 전환회로

요약

내용 없음.

DHE

丘

BUNG

[발명의 명칭]

스위치 구동형 클럭 전환회로

[도면의 간단한 설명]

제1도는 본 발명의 회로도.

제2도는 제1도 주요부의 타이밍 챠트.

+ 도면의 주요부분에 대한 부호의 설명

10 : 클릭 발생부

20.: 제머신호 발생부

30 : 인에이블신호 발생부

40 : 클럭스위칭부

F.-F. : D 플립플롭

G,-G; : 논리게이트

1,-1,: 인버터

11, 12 : 주파수 발생기

13 : 클럭 발생기

[발명의 상세한 설명]

본 발명은 스위치 구동형 클럭 전환회로에 관한 것으로 특히 퍼스널 컴퓨터의 중앙처리장치에 공급되는 클럭을 두가지로 전환하며 사용할 수 있도록 한 것이다.

현재 IBM PC/XT 호환 기증 또는 통등 레벨의 퍼스널 컴퓨터에 있어서 고속의 중앙처리장치를 채용하는 기 종의 증가추세에 있다. 그러나 고속의 중앙처리장치를 채용할 시에는 속도의 차에 의하여 호환성에 문제 가 발생하였다. 본 발명의 목적은 상기한 문제점을 해결하기 위하여 중앙처리장치가 두가지의 속도를 갖 도록 하므로써 속도에서 호환성을 유지할 수 있는 클럭 전환회로를 제공하고자 하는 것이다.

일반적으로 퍼스널 컴퓨터의 클럭을 전환하는 방식에는 소프트웨어에 의한 전환과 하드웨어에 의한 전환 의 두가지 방식이 있으며, 전자는 소프트웨어적으로 입출력포트에 데이터를 출력하므로써 클럭을 전환하 도록 제어하는 것이고, 후자는 하드웨어적으로 스위치를 이용하여 신호를 전환하는 방식이다.

본 발명은 상기한 후자의 하드웨어적 전환방식을 채택하여 중앙처리장치의 숙도를 좌우하는 클릭을 두가 지로 전환하여 사용할 수 있도록 한 것으로, 클릭전환을 제어할 수 있는 제어회로를 TTL 집적회로로 구성 함으로써 본 발명의 목적을 달성하도록 한다. 이하 첨부된 도면에 의하여 본 발영을 상세히 설명한다. 제1도는 본 발명의 회로도로서 클릭발생부(10)와, 제어신호발생부(20)와, 인메이블신호 발생부(30)와, 클릭스위청부(40)의 블릭으로 구분된다. 클릭 발생부(10)는 주파수 발생기(11, 12)와 클릭발생기(13)와 인버터(1,, 1,)와 저항(R,)과 콘덴서(C,)의 디어오우드(0,)에 대응하는 것으로, 클릭발생기(13)는 8284A로서 제어입력단자(F/C)가 하이레 벨이면 입력단자(EFI)로 입력되는 24Mt之의 클릭이 3분주되어 클릭단자(CLK)로 출력되고, 제어입력단자(FI)로 이력되는 24Mt之의 클릭이 3분주되어 클릭단자(CLK)로 출력되며, 제어입력단자(CLK)와 클릭되며, 클릭동기단자(CSYNC)가 로우레벨로 되면 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭신호를 출력하고 하이레벨로 되면 클릭발생기(13) 내부의 3분주 회로가 리세트되어 클릭단자로 클릭스호를 출력하고 하이레트로 등에 입력되어진다. 클릭 스위청부(40)는 스위치(SW)와 플립플롭(F,) 및 저항(R,R,R)에 대응하는 것으로, 접지된 스위치(SW)가 고속단자(H)와 접속단자(N)에 스위청됨으로써 플립플롭(F,)의 프리세트단자(PR)와 클리어단자(CLR)에 로우레벨신호를 인가하며 출력단자(0)를 통하며 출력신호를 제어신호 발생부(20)와 인메이블신호 발생부(30)로 동시에 인가하도록 구성한 것으로써, 플립플롭(F,)은 스위치(SW)의 절환시 발생하는 채터링을 방지하여중과 동시에 출력단자(0)로 클릭 스위칭신호를 발생하여 제 대신호 발생부(20)와 인메이블신호 발생부(30)로 인가하도록 연결된다.

인에미블신호 발생부(30)는 논리게이트(6,-6,)와 인버터(1,1,)와 저함(R,R,) 및 콘덴서(C,C)에 대응하는 것으로, 낸드게미트(G,)의 입력단에는 뮬럭스위청부(40)의 출력신호와 상기한 뮬럭스위청부(40)의 출력신호을 인버터(1,)에서 반전하여 적분기(R,C,)를 통과한 신호가 입력되도록 구성하여 상기한 플럭스위청부(40)의 출력신호가 로우레벨에서 하이레벨로 변할 때 낸드게미트(6,)로부터 일정한 펄스폭의 로우레벨 신호를 출력하도록 하고, 또한 낸드게이트(G,)의 입력단에는 상기한 낸드게미트(G,)와 동일하게 구성하며 입력신호에 있어서는 플럭스위청부(40)의 출력신호를 인버터(1,0)에 의해 반전하여 인가함으로써 클럭스위청부(40)의 출력신호가 하이레벨에서 로우레벨로 변할 때 낸드게미트(G,)의 출력단으로 일정한 로우레벨 필스폭을 갖는 신호를 출력하도록 한다. 따라서 앤드게미트(G,)은 클럭스위청부(40)의 출력신호가 변할대 일정한 펄스폭을 갖는 로우레벨 신호를 출력하게 되며, 상기한 펄스폭은 저항과 콘덴서(R,와 C,R,와 C,)로구성되는 적분기의 시정수에 의해 결정된다.

제머신호 발생부(40)는 플립플롭(F,F,)과 논리게이트(G,-G,)와 인버터(I,, I,)와 저항(R,)과 콘덴서(C,)에 대응하는 것으로, 메모리 독출신호(MEMR)는 플립플롭(F,)의 클럭단자로 인가되도록 연결하고 인메이블 신호 발생부(30)의 출력신호를 플립플롭(F,)의 입력단자(D)로 인가하도록 연결하여 플립플롭의 출력신호(Q)를 앤드게이트(G,)에서 콜럭발생기(13)의 콜럭신호와 논리곱하며 앤드게이트(G,)의 출력신호를 클럭발생기(13)의 콜럭동기단자(CSYNC)와, 플립플롭(F,)의 콜럭단자와, 낸드게이트(G,)의 입력단자로 인기하도록 연결한다. 플립플롭(F,)와 입력단자(D)에는 클럭스위칭부(40)의 출력신호가 인가되고 플립플롭(F,)의 출력신

호는 클릭발생기(13)의 제머입력단자(\mathbf{F}/\mathbf{C})로 인가되도록 연결하고, 낸드게이트($\mathbf{G}_{\mathbf{s}}$)의 출력신호는 플립 플롭($\mathbf{F}_{\mathbf{s}}$)의 클릭단자로 인기되도록 연결하여 이때 낸드게이트 입력단에 구성된 적분기($\mathbf{G}_{\mathbf{s}}$, $\mathbf{F}_{\mathbf{s}}$)의 시정수는 상기한 인에이불신호 발생부(30)에서의 적분기의 시정수보다 짧은 지연시간을 갖도록 구성된다. 또한 플립플롭($\mathbf{F}_{\mathbf{s}}$)은 인에이불신호 발생부(30)의 출력신호에 의해 클리머되고, 플립플롭($\mathbf{F}_{\mathbf{s}}$)은 앤드게이트($\mathbf{G}_{\mathbf{s}}$)를

통한 플립플롭(F,)의 반전출력단자(Q))신호에 의해 클리머되며, 플립플롭(F,)은 인버터(I,)를 통한 클럭발생기(13)의 리세트 출력단자(RESET)신호에 의해 클리머되도록 각각 연결 구성된다.

상기한 구성을 갖는 본 발명회로의 전반적인 동자을 첨부된 제2도의 EI이밍 챠트를 참조하며 설명한다.

유선 스위치(SW)가 고속단자(H)로 연결되어 클릭발생기(13)의 클릭단자로 고속의 클릭이 출력되고 있을때 스위치(SW)를 정속단자(N)로 절환하면, 플립플롭(F4)의 출력신호는 하이레벨에서 로우레벨로 변하게 되어 인데에불신호 발생부(30)로 인가된다. [따라서 낸드게이트(G4)의 출력이 하이레벨을 유지하고 낸드게이트(G5)의 출력은 하이레벨을 유지하고 낸드게이트(G5)의 출력은 하이레벨을 유지하다가 일정한 로우레벨 필스폭을 갖는 신호를 출력하여, 상기 두 신호는 앤드게이트(G5)에서 논리곱되어 앤드게이트(G5)의 출력단자에 로우레벨 필스폭을 갖는 신호(1)를 출력시킨다. 상기한 출력신호(1)는 플립플롭(F4)의 클리어단자와 플립플롭(F5)의 입력단자(D)로 인가되고, 이때부터 플립플롭(F5)은 클릭단자로 인가되는 메모리 독출신호(MEMR)를 기다리다가 메모리 독출신호(MEMR)의 상승에 쥐에서 입력단자에 가해져있던 하이레벨 신호를 출력하게 된다. 상기한 플립플롭(F5)의 출력신호(3)는 앤드게이트(G5)에서 클릭발생기(13)의 클릭동기단자(CSYNC)와, 낸드게이트(G6)의 입력단자로 인가하도록 한다. 따라서, 클릭발생기(130의 클릭동기단자(CSYNC)와, 밴드게이트(G6)의 입력단자로 인가하도록 한다. 따라서, 클릭발생기(130의 클릭동기단자(CSYNC)와 밴드게이트(G6)의 입력단자(D)에 입력되어 있던 로우 플릭신호(4)는 플립플롭(F6)의 클릭단자로 인가되어 플립플롭(F6)의 입력단자(D)에 입력되어 있던 로우

레벨 신호(6)를 플립플롭(F,)의 출력단자를 통하여 제어입력단자(F/\overline{C})로 인가함으로써 클럭발생기(13)의 클럭단자(CLK)에는 입력단자(X)로 인가되는 14.3M12의 주파수 신호가 3분주되어 출력된다. 또한 앤드게이트(G,)의 출력신호(4)는 낸드게이트(G,)의 입력단으로 인가되어 적분기(C1, R,)의 시정수에 발생하는로우레벨의 낸드게이트(G,) 출력신호(5)를 플립플롭(F,)의 클럭단자로 인가함으로써 플립플롭(F,)의 반전

출력단자($\overline{\mathbf{Q}}$) 신호(2)를 로우레벨로 만들어 앤드게이트(G,)를 통하여 플립플롭(F,)의 클리어단자로 인가하여, 앤드게이트(G,)의 출력신호(4)를 로우레벨로하여 불력발생기(13)의 클록동기단자(\mathbf{CSYNC})로 인가함으

로써 탑력발생기(13) 내부의 3분주회로를 동작시킨다. 그러나 미때 제머입력단자(F/C)는 이미 하이레벨에서 로우레벨로 바뀌어진 상태이므로 입력주파수 신호는 입력단자(FI)로 들어오는 24Mtz신호로부터 입력단자(X)로 들어오는 14.3Mtz로 바뀌어 클릭발생기(13)의 클릭단자(CLK) 출력도 역시 8Mtz에서 4.77Mtz로 바뀌게 된다.

한편, 상기한 통작설명과 반대로 클럭스위청부(40)의 스위치(32)가 정속단자(N)로부터 고속단자(H)로 스위칭 될 때에도 본 발명회로의 동작은 상기한 고속단자(H)로부터 정속단자(N)의 스위칭 동작과 동일한 과정으로 동작되어진다.

이상과 같은 본 발명 최로에 의하면 컴퓨터의 중앙처리장치에 있어서 고속과 정 속의 두가지 속도를 전환 하여 사용할 수 있는 클릭 전환회로를 제공할 수 있다.

(57) 경구의 범위

청구항 1

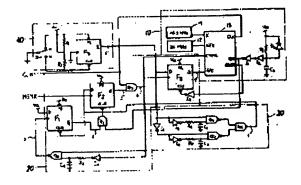
í,

스위치의 절판에 의해 중앙처리장치의 클릭 속도를 전환하는 하드웨어적 클릭 전환회로에 있어서, 스위치(SW)의 절환에 의해 플립플롭(F₄)의 출력신호 레벨을 변화출력토록 구성된 클릭스위청부(40)와, 상기한 클릭스위청부(40)의 출력신호레벨이 변화할때의 메쥐검출신호를 출력하도록 인버터(I₂-I₃)와 적분기(R₂와 C₂)와 논리게이트(G₁-G₃)로 구성된 인메이블신호 발생부(30)와, 상기한 인메이블신호 발생부(30)의 출력신호를 플립플롭(F₁)의 클리어(CLR)단자로 인가하고 동시에 플립플롭(F₂)의 입력단자(D)로 인가하여 메모리독출신호(MEMR)를 플립플롭(F₂)의 클릭단자로 인가하여, 플립플롭(F₁)의 출력신호와 클릭발생기(13)의 클릭신호를 앤드게이트(G₂)에서 논리합하고, 앤드게이트(G₂)의 출력신호를 클릭발생기(13)의 클릭동기단자(CSYNC)와 샌드게이트(G₃)의 입력단과 플립플롭(F₁)에서는 입력단자 (CSYNC)와 샌드게이트(G₃)의 입력단과 플립플롭(F₁)에서는 입력단자

(D)로 입력되는 클러스위청부(10)의 출력신호를 클릭발생기(13)의 제어입력단자(F/C)로 인기하고, 낸드게이트(G,)는 인버터(1-)와 입력단의 적분기(C, R,)에 의해 발생되는 출력신호를 플립플롭(F,)의 클럭 단자로 인기하여 플립플롭(F,)의 반전 출력단자 신호가 앤드게이트(G,)를 통하여 플립플롭(F,)을 클리머시 키도록 연결구성되는 제어신호 발생부(20)와, 상기한 제어신호 발생부(20)의 앤드게이트(G,)와 플립플롭 (F,)의 출력신호에 의해 주파수 발생기(11, 12)로부터 입력되는 두 개의 주파수신호를 클릭발생기(13)의 클릭단자(CLK)로 출력하는 클릭발생부(10)로 이루어지는 것을 특징으로 하는 스위치 구동형 클릭 전환회

<u> 50</u>

<u> EBi</u>



582

